

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-183089

(P2000-183089A)

(43) 公開日 平成12年6月30日 (2000.6.30)

(51) Int.Cl.

H01L 21/60
23/12

識別記号

FI

H01L 21/92
23/12602L
L

テラコート (参考)

審査請求 未請求 請求項の数 5 OL (全 6 頁)

(21) 出願番号 特願平10-351781

(22) 出願日 平成10年12月10日 (1998. 12. 10)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 高尾 幸弘

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 100111383

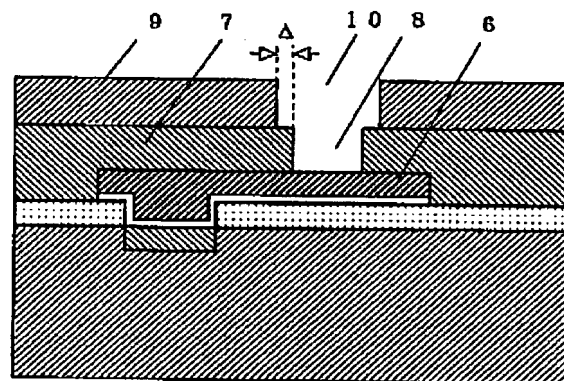
弁理士 芝野 正雅

(54) 【発明の名称】 チップサイズパッケージ及びその製造方法

(57) 【要約】

【課題】 チップサイズパッケージの信頼性を向上させる。

【解決手段】 チップ表面に形成される絶縁層を少なくとも2層のポリイミド層7、9で形成する。これにより、絶縁層を厚く形成でき、この絶縁層の開口部8、10に形成されるメタル・ポスト13を長くできる。また、2層のポリイミド層7、9は、ネガ系ポリイミドを用いて形成することが好ましい。これにより、ポジ系ポリイミドに比して厚い膜厚を露光・現像することができる。



10 : 第2の開口部

(2) 000-183089 (P2000-j89)

【特許請求の範囲】

【請求項1】金属電極パッドに接続され、チップ表面に延在する配線層と、この配線層を含むチップ表面を被覆するポリイミドから成る絶縁層と、前記配線層上の絶縁層に形成された開口部と、この開口部に形成された柱状端子とを具備するチップサイズパッケージにおいて、前記絶縁層は少なくとも2層のポリイミド層から成ることを特徴とするチップサイズパッケージ。

【請求項2】金属電極パッドに接続され、チップ表面に延在する配線層と、この配線層を含むチップ表面を被覆するポリイミドから成る絶縁層と、前記配線層上の絶縁層に形成された開口部と、この開口部に形成された柱状端子とを具備するチップサイズパッケージの製造方法において、前記配線層を形成した後に、全面に第1のポリイミド層を形成する工程と、前記第1のポリイミド層を露光・現像して前記配線層上の第1のポリイミド層に第1の開口部を設ける工程と、前記第1の開口部を含む全面に第2のポリイミド層を形成する工程と、前記第2のポリイミド層を露光・現像して前記第1の開口部に第2の開口部を形成する工程と、前記第1、第2の開口部を満たすように柱状端子を形成する工程とを有するチップサイズパッケージの製造方法。

【請求項3】前記第1、第2のポリイミド層はネガ系ポリイミドから成ることを特徴とする請求項2に記載のチップサイズパッケージの製造方法。

【請求項4】前記第2の開口部の端は、前記第1の開口部の端よりも外側に離れて位置させたことを特徴とする請求項2に記載のチップサイズパッケージの製造方法。

【請求項5】金属電極パッドに接続され、チップ表面に延在する配線層と、この配線層を含むチップ表面を被覆するポリイミドから成る絶縁層と、前記配線層上の絶縁層に形成された開口部と、この開口部に形成された柱状端子とを具備するチップサイズパッケージの製造方法において、半導体基板上に前記金属電極パッドおよび前記配線層を形成した後に、全面に第1のポリイミド層を形成する工程と、前記第1のポリイミド層を露光・現像して前記配線層上の第1のポリイミド層に第1の開口部を設ける工程と、前記第1の開口部を含む全面に第2のポリイミド層を形成する工程と、前記第2のポリイミド層を露光・現像して前記第1の開口部に第2の開口部を形成する工程と、前記第1、第2の開口部を満たすように柱状端子を形成する工程と、前記柱状端子上に半田パンパを形成する工程と、前記半導体基板をチップに分割する工程とを有するチップサイズパッケージの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、チップサイズパッケージとその製造方法に関する。チップサイズパッケージ (Chip Size Package) は、CSPとも呼ばれ、チ

ップサイズと同等か、わずかに大きいパッケージの総称であり、高密度実装を目的としたパッケージである。本発明は、チップサイズパッケージの信頼性を向上させる技術に関する。

【0002】

【従来の技術】 従来、この分野では、一般にBGA (Ball Grid Array) と呼ばれ、面状に配列された複数のハンダボールを持つ構造、ファインピッチBGAと呼ばれ、BGAのボールピッチをさらに狭ピッチにしてPKG外形がチップサイズに近くなった構造等が知られている。

【0003】 また、最近では、「日経マイクロデバイス」1998年8月号 44頁～71頁に記載されたウエハーCSPがある。このウエハーCSPは、基本的には、チップのダイシング前に配線やアレイ状のパッドをウエハープロセス (前工程) で作り込むCSPである。この技術によって、ウエハープロセスとパッケージ・プロセス (後工程) が一体化され、パッケージ・コストが大幅に低減できるようになることが期待されている。ウエハーCSPの種類には、封止樹脂型と再配線型がある。封止樹脂型は、従来のパッケージと同様に表面を封止樹脂で覆った構造であり、チップ表面の配線層上に柱状の端子 (メタル・ポスト) を形成し、その周囲を封止樹脂で固める構造である。パッケージをプリント基板に搭載すると、プリント基板との熱膨張差によって発生した応力がメタル・ポストに集中する。一般に、このメタルポストを長くするほど応力が分散されることが知られている。

【0004】 一方、再配線型は、図9に示すように、封止樹脂を使わず、再配線を形成した構造である。チップ51の表面にA1電極52、配線層53、絶縁層54が積層され、配線層53上にはメタル・ポスト55が形成され、その上に半田バンパ56が形成されている。配線層53は、半田バンパ56をチップ上に所定のアレイ状に配置するための再配線として用いられる。

【0005】 封止樹脂型は、メタル・ポストを100μm程度と長くし、これを封止樹脂で補強することにより、高い信頼性が得られる。しかしながら、封止樹脂を形成するプロセスは、後工程において金型を用いて実施する必要があり、プロセスが複雑になる。一方、再配線型では、プロセスは比較的単純であり、しかも殆どの工程をウエハープロセスで実施できる利点がある。しかし、なんらかの方法で応力を緩和し信頼性を高めることが必要とされている。

【0006】

【発明が解決しようとする課題】 再配線型CSPの信頼性を確保するためには、封止樹脂型CSPのように、メタル・ポスト55を長くすることが有効であると考えられる。そのためは、絶縁層54をできるだけ厚く形成することが必要である。

(3) 000-183089 (P2000-07X89)

【0007】そこで、絶縁層54としてポリイミド層を用いることが考えられる。ポリイミドは、よく知られているように有機溶剤を含む液状物質であって、ホトレジスト材料と同様に、ポジ系とネガ系とがあり、露光・現像によりパターンニングされる。絶縁層54としてポリイミド層を形成し、メタル・ポストを形成する部分を選択的に露光・現像し、開口部を設ける。

【0008】しかしながら、ポジ系のポリイミドの厚さは $5\mu\text{m}$ ～ $7\mu\text{m}$ が限度であり、 $10\mu\text{m}$ では露光・現像の感度が悪く実用的ではない。ネガ系のポリイミドは、これに比して感度は良いが、専用の現像液(MNP系)を用いても $20\mu\text{m}$ ～ $25\mu\text{m}$ が限界である。したがって、絶縁層54の開口部に形成されるメタル・ポスト55の長さも $20\mu\text{m}$ ～ $25\mu\text{m}$ が限界であり、信頼性を確保することが困難であった。

【0009】

【課題を解決するための手段】本発明のチップサイズパッケージ及びその製造方法は上記の課題に鑑みてなされ、絶縁層を少なくとも2層のポリイミド層で形成している。これにより、絶縁層を厚く形成でき、この絶縁層の開口部に形成される柱状端子を長くできる。

【0010】また、2層のポリイミド層は、ネガ系ポリイミドを用いて形成することが好ましい。これにより、ポジ系ポリイミドに比して厚い膜厚を露光・現像することができる。

【0011】特に、2層目のポリイミド層(第2のポリイミド層)は、第1層目のポリイミド層の開口部にも充填され、この部分の膜厚は段差のために厚くなる。ネガ系ポリイミドを用いれば、この部分を除いて露光すればよいので、露光・現像上、有利となる。

【0012】さらにまた、ポリイミド層における第2の開口部の端は、前記第1の開口部の端よりも外側に離れて位置させることが好ましい。これにより、第2のポリイミド層に確実に硬化層が形成でき、解像不良を防止できる。

【0013】

【発明の実施の形態】次に、本発明の実施形態について、図1乃至図8を参照しながら説明する。

【0014】まず、図1に示すように、A1電極パッド2を有するLSIが形成された半導体基板1(ウェーハ)を準備し、半導体基板1の表面をSiN膜などのパッシベーション膜3で被覆する。

【0015】A1電極パッド2はLSIの外部接続用のパッドである。その表面のパッシベーション膜3をエッチングによって取り除き、全面にバリアメタル4を形成する。バリアメタル4は、後に形成する配線層とA1電極パッド2との間に介在してA1電極パッド2を保護するバリアであり、クロム(Cr)、チタン(Ti)などをスパッタして形成する。

【0016】次に、A1電極パッド2に接続する配線層

6を形成する。この配線層6は機械的強度を確保するために $5\mu\text{m}$ 程度に厚く形成する必要があり、メッキ法を用いて形成するのが適当である。図2に示すように、バリアメタル4上であって配線層6を形成する領域を除く領域にホトレジスト層5を形成する。

【0017】そして、バリアメタル4をメッキの電極として利用し、ホトレジスト層5で覆われていないバリアメタル4上にCuのメッキ層からなる配線層6を形成する。この後、ホトレジスト層5を除去し、さらに、配線層6をマスクとして用いてエッチングを行い、バリアメタル4の不要部分を除去する。

【0018】次に、図3に示すように、第1のポリイミド層7を全面に塗布し、露光・現像により、配線層6上の第1のポリイミド層7に第1の開口部8を形成する。第1のポリイミド層7としては、感度の良いネガ系ポリイミドを用いるのが好ましい。その膜厚は、最大で $20\mu\text{m}$ ～ $25\mu\text{m}$ である。第1の開口部8の開口径は、 $50\mu\text{m}$ 程度がよい。

【0019】また、現像後は 200°C 程度の温度下で第1のポリイミド層をベーキングするとよい。これは、次工程で形成する第2のポリイミド層とのミキシングを防止するためである。

【0020】次いで、図4に示すように、第2のポリイミド層9を全面に塗布する。この第2のポリイミド層9もネガ系ポリイミドを用いるのが好ましい。その膜厚は、第1のポリイミド層7と同様、最大で $20\mu\text{m}$ ～ $25\mu\text{m}$ である。第1の開口部8は、第2のポリイミド層9によって満たされる。

【0021】次に、図5に示すように、第2のポリイミド層9を露光・現像することにより、第1の開口部8上に第2開口部10を形成する。第2開口部10は平面的に第1の開口部8と重なる位置に形成され、第1の開口部8に満たされたポリイミドも除去され、配線層6の表面は露出される。

【0022】ここで、第2のポリイミド層としてネガ系ポリイミドを用いると、その露光領域は、第2の開口部10を除く領域となる。そして現像後、露光された領域には、露光により硬化した第2のポリイミド層9が残る。第2の開口部10となる領域のポリイミドは現像液の作用を受けて除去されるのである。このように、ネガ系ポリイミドを用いることにより、第1の開口部8(凹部)に満たされた厚いポリイミド層をその下層まで感光させることが不要となり、平坦部上に塗布された本来の膜厚を有するポリイミド層を感光させればよい。これにより、 $20\mu\text{m}$ ～ $25\mu\text{m}$ の厚い第2のポリイミド層9を塗布しても、第2開口部10を形成することができる。

【0023】また、第2の開口部10の端は、第1の開口部8の端よりも外側に離れて位置させることが好ましい。すなわち、図5における Δ ($\Delta>0$)が生じるよう

(4) 000-183089 (P2000-3#89)

にホトマスクを設計する。これにより、露光により硬化層をポリイミド全体にわたって確実に形成でき、ポリイミドの解像不良を防止できる。

【0024】次に、図6に示すように、メッキのためのシード層11（メッキ用電極層）を全面に形成する。このシード層はメッキの際の電極となるものであり、Cuをスパッタして形成することができる。そして、シード層11上にホトレジスト層12を形成する。ホトレジスト層12は、第1、第2の開孔部8、10上に開孔を有するように、ホトリソグラフィ法により加工する。

【0025】次に、図7に示すように、電解メッキによりCuから成る、柱状端子としてのメタル・ポスト13、バリア層14、半田バンプ15を順次形成する。バリア層14としては、Pb、Snを含む半田バンプに対するバリア性を考慮して、Pt系の金属、例えばAu、Niこれらの積層膜を用いるのが良い。なお、半田バンプ15は、電解メッキによって形成する代わりに、SMT技術を用い、バリア層14上にボール搭載してもよい。

【0026】最後に、図8に示すように、ホトレジスト層12を除去し、半田バンプ15をマスクとして、シード層11の不要部分をエッチングにより除去する。ここで、半田バンプ15をマスクとする代わりに、ホトレジストから成るマスクを用いることもできる。

【0027】そして、半導体基板1をダイシング工程により、スクライブラインに沿ってチップに分割し、チップサイズ・パッケージとして完成する。

【0028】なお、上記の実施形態は、ウエーハCSPへの適用例として説明したが、本発明は、絶縁層としてのポリイミド層の塗布、露光、現像工程を2回以上繰り返して行うことに特徴があり、その他のCSPにも適用

することができる。

【0029】

【発明の効果】本発明によれば、チップサイズパッケージの絶縁層をポリイミド層で形成する際に、これを2度塗りすることにより、ポリイミド層を厚く形成できる。

【0030】特に、ネガ系ポリイミドを用いることにより、 $40\mu\text{m}$ ～ $50\mu\text{m}$ という厚塗りのポリイミド層を形成できる。この結果、メタル・ポストも $40\mu\text{m}$ ～ $50\mu\text{m}$ と長く形成することができ、封止樹脂を用いないチップサイズ・パッケージにおいても、メタル・ポストにかかる応力が緩和され、信頼性を向上することができる。

【図面の簡単な説明】

【図1】本発明の実施形態に係るチップサイズパッケージ及びその製造方法を示す第1の断面図である。

【図2】本発明の実施形態に係るチップサイズパッケージ及びその製造方法を示す第2の断面図である。

【図3】本発明の実施形態に係るチップサイズパッケージ及びその製造方法を示す第3の断面図である。

【図4】本発明の実施形態に係るチップサイズパッケージ及びその製造方法を示す第4の断面図である。

【図5】本発明の実施形態に係るチップサイズパッケージ及びその製造方法を示す第5の断面図である。

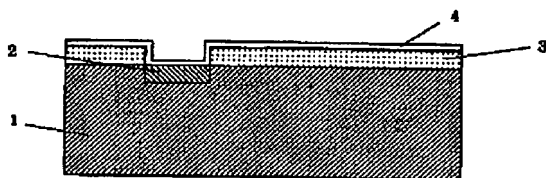
【図6】本発明の実施形態に係るチップサイズパッケージ及びその製造方法を示す第6の断面図である。

【図7】本発明の実施形態に係るチップサイズパッケージ及びその製造方法を示す第7の断面図である。

【図8】本発明の実施形態に係るチップサイズパッケージ及びその製造方法を示す第8の断面図である。

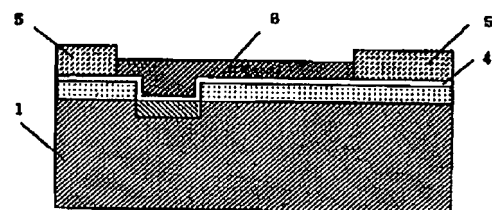
【図9】従来例に係るチップサイズパッケージを示す断面図である。

【図1】



1: 半導体基板 2: Au電極パッド
3: パッシベーション膜 4: バリアメタル

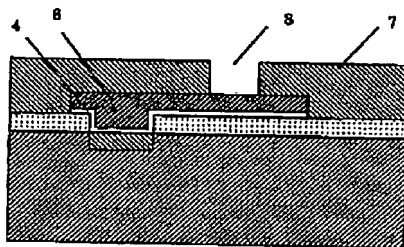
【図2】



5: ホトレジスト層
6: 配線層

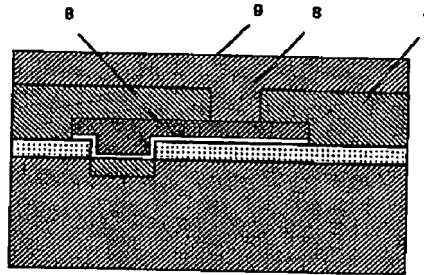
(5) 000-183089 (P2000-イ) 卒

【図3】



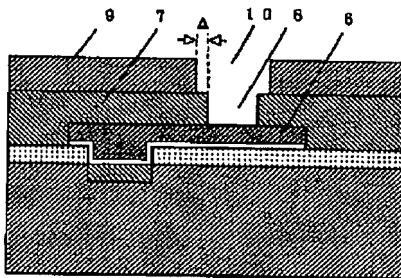
7: 第1のポリイミド層
8: 第1の開孔部

【図4】



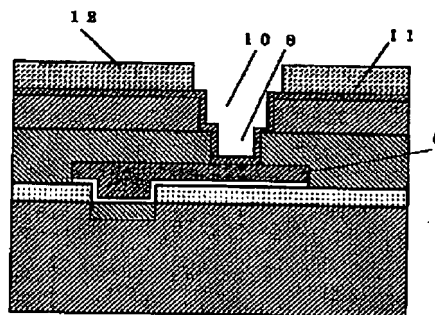
9: 第2のポリイミド層

【図5】



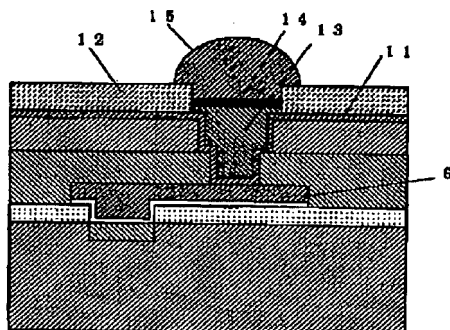
10: 第2の開孔部

【図6】



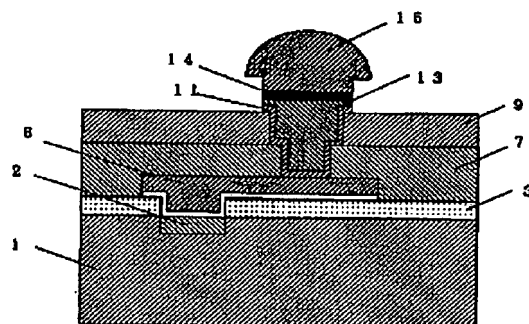
11: シード層
12: ホトレジスト層

【図7】



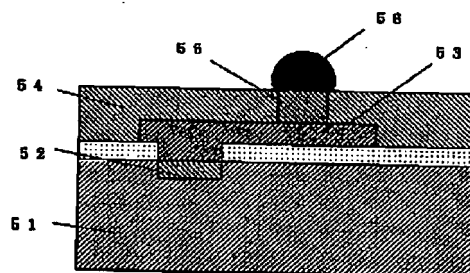
13: メタル・ポスト
14: バリア層
15: 半田バンパ

【図8】



(6) 000-183089 (P2000-H(R89

【図9】



51: チップ

54: 絶縁層

52: Al 電極

55: メタル・ポスト

53: 配線層

56: 半田バンプ